

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



PTO/SB/21 (08-03)
Approved for use through 08/30/2003. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

TRANSMITTAL FORM (to be used for all correspondence after initial filing)	Application Number	10/605,521	
	Filing Date	10/06/2003	
	First Named Inventor	Jay Yu	
	Art Unit		
	Examiner Name		
Total Number of Pages in This Submission	3	Attorney Docket Number	VIAP0086USA

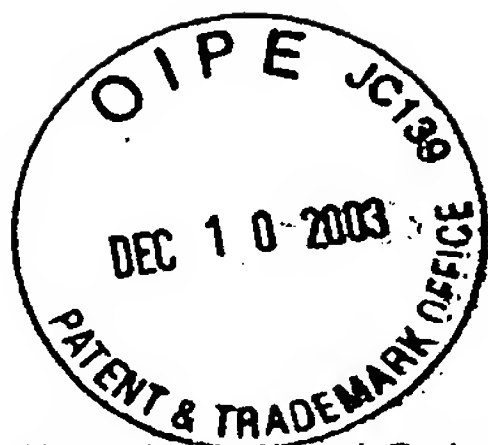
ENCLOSURES (Check all that apply)		
<input checked="" type="checkbox"/> Fee Transmittal Form	<input type="checkbox"/> Drawing(s)	<input type="checkbox"/> After Allowance communication to Technology Center (TC)
<input type="checkbox"/> Fee Attached	<input type="checkbox"/> Licensing-related Papers	<input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences
<input type="checkbox"/> Amendment/Reply	<input type="checkbox"/> Petition	<input type="checkbox"/> Appeal Communication to TC (Appeal Notice, Brief, Reply Brief)
<input type="checkbox"/> After Final	<input type="checkbox"/> Petition to Convert to a Provisional Application	<input type="checkbox"/> Proprietary Information
<input type="checkbox"/> Affidavits/declaration(s)	<input type="checkbox"/> Power of Attorney, Revocation Change of Correspondence Address	<input type="checkbox"/> Status Letter
<input type="checkbox"/> Extension of Time Request	<input type="checkbox"/> Terminal Disclaimer	<input type="checkbox"/> Other Enclosure(s) (please identify below):
<input type="checkbox"/> Express Abandonment Request	<input type="checkbox"/> Request for Refund	
<input type="checkbox"/> Information Disclosure Statement	<input type="checkbox"/> CD, Number of CD(s) _____	
<input checked="" type="checkbox"/> Certified Copy of Priority Document(s)	Remarks	
<input type="checkbox"/> Response to Missing Parts/Incomplete Application		
<input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53		

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT	
Firm or Individual name	Winston Hsu, Reg. No.: 41,526
Signature	
Date	12/8/2003

CERTIFICATE OF TRANSMISSION/MAILING			
I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below.			
Typed or printed name			
Signature		Date	

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



PTO/SB/17 (10-03)
Approved for use through 07/31/2006. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

FEE TRANSMITTAL for FY 2004

Effective 10/01/2003. Patent fees are subject to annual revision.

☐ Applicant claims small entity status. See 37 CFR 1.27

TOTAL AMOUNT OF PAYMENT (\$) 0.00

Compleat if Known

Application Number 10/605,521

Filing Date 10/06/2003

First Named Inventor Jay Yu

Examiner Name

Art Unit

Attorney Docket No. VIAP0086USA

METHOD OF PAYMENT (check all that apply)

☐ Check ☐ Credit card ☐ Money Order ☐ Other ☐ None

☒ Deposit Account:

Deposit Account Number 50-0801

Deposit Account Name North America International Patent Office

The Director is authorized to: (check all that apply)

☒ Charge fee(s) indicated below ☒ Credit any overpayments

☒ Charge any additional fee(s) or any underpayment of fee(s)

☐ Charge fee(s) indicated below, except for the filing fee to the above-identified deposit account.

FEE CALCULATION

1. BASIC FILING FEE

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1001	770	2001	385	Utility filing fee	
1002	340	2002	170	Design filing fee	
1003	530	2003	265	Plant filing fee	
1004	770	2004	385	Reissue filing fee	
1005	160	2005	80	Provisional filing fee	
SUBTOTAL (1)					(\$) 0.00

2. EXTRA CLAIM FEES FOR UTILITY AND REISSUE

Total Claims		Extra Claims		Fee from below	Fee Paid
Independent Claims	Multiple Dependent	-20** =	-3** =		

Large Entity		Small Entity		Fee Description
Fee Code	Fee (\$)	Fee Code	Fee (\$)	
1202	18	2202	9	Claims in excess of 20
1201	86	2201	43	Independent claims in excess of 3
1203	290	2203	145	Multiple dependent claim, if not paid
1204	86	2204	43	** Reissue independent claims over original patent
1205	18	2205	9	** Reissue claims in excess of 20 and over original patent

SUBTOTAL (2) (\$) 0.00

**or number previously paid, if greater; For Reissues, see above

FEE CALCULATION (continued)

3. ADDITIONAL FEES

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1051	130	2051	65	Surcharge - late filing fee or oath	
1052	50	2052	25	Surcharge - late provisional filing fee or cover sheet	
1053	130	1053	130	Non-English specification	
1812	2,520	1812	2,520	For filing a request for <i>ex parte</i> reexamination	
1804	920*	1804	920*	Requesting publication of SIR prior to Examiner action	
1805	1,840*	1805	1,840*	Requesting publication of SIR after Examiner action	
1251	110	2251	55	Extension for reply within first month	
1252	420	2252	210	Extension for reply within second month	
1253	950	2253	475	Extension for reply within third month	
1254	1,480	2254	740	Extension for reply within fourth month	
1255	2,010	2255	1,005	Extension for reply within fifth month	
1401	330	2401	165	Notice of Appeal	
1402	330	2402	165	Filing a brief in support of an appeal	
1403	290	2403	145	Request for oral hearing	
1451	1,510	1451	1,510	Petition to institute a public use proceeding	
1452	110	2452	55	Petition to revive - unavoidable	
1453	1,330	2453	665	Petition to revive - unintentional	
1501	1,330	2501	665	Utility issue fee (or reissue)	
1502	480	2502	240	Design issue fee	
1503	640	2503	320	Plant issue fee	
1460	130	1460	130	Petitions to the Commissioner	
1807	50	1807	50	Processing fee under 37 CFR 1.17(q)	
1806	180	1806	180	Submission of Information Disclosure Stmt	
8021	40	8021	40	Recording each patent assignment per property (times number of properties)	
1809	770	2809	385	Filing a submission after final rejection (37 CFR 1.129(a))	
1810	770	2810	385	For each additional invention to be examined (37 CFR 1.129(b))	
1801	770	2801	385	Request for Continued Examination (RCE)	
1802	900	1802	900	Request for expedited examination of a design application	

Other fee (specify)

*Reduced by Basic Filing Fee Paid

SUBTOTAL (3) (\$) 0.00

SUBMITTED BY

Name (Print/Type)	Winston Hsu	Registration No. (Attorney/Agent)	41,526	Telephone	886289237350
Signature				Date	12/18/2003

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

This collection of information is required by 37 CFR 1.17 and 1.27. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS.
SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



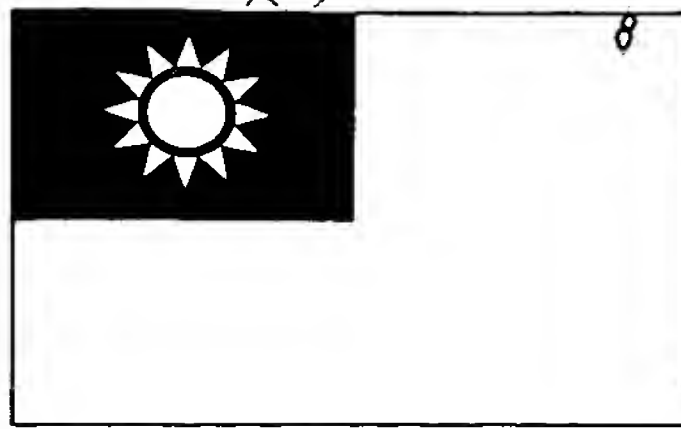
PTO/SB/02B (11-00)
Approved for use through 10/31/2002. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

DECLARATION — Supplemental Priority Data Sheet

Additional foreign applications:

Prior Foreign Application Number(s)	Country	Foreign Filing Date (MM/DD/YYYY)	Priority Not Claimed	Certified Copy Attached?	
				YES	NO
092115913	Taiwan R.O.C	06/11/2003	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

Burden Hour Statement: This form is estimated to take 21 minutes to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 06 月 11 日
Application Date

申請案號：092115913
Application No.

申請人：威盛電子股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 8 月 15 日
Issue Date

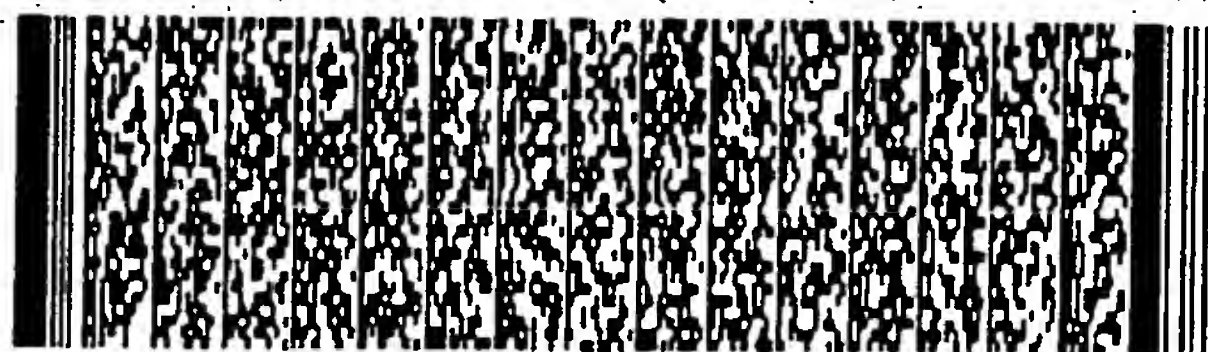
發文字號：09220825700
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	形成於二佈線層間之電感
	英 文	INDUCTOR FORMED BETWEEN TWO LAYOUT LAYERS
二、 發明人 (共3人)	姓 名 (中文)	1. 游永傑
	姓 名 (英文)	1. Yu, Jay
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 台北縣新店市中正路五三三號八樓
	住居所 (英 文)	1. 8F, No. 533, Chung-Cheng Rd, Hsin-Tien City, Taipei Hsien, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 威盛電子股份有限公司
	名稱或 姓 名 (英文)	1. VIA TECHNOLOGIES, INC.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 台北縣新店市中正路五三三號八樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R.O.C.
	代表人 (中文)	1. 王雪紅
	代表人 (英文)	1. Wang, Hsueh-Hung

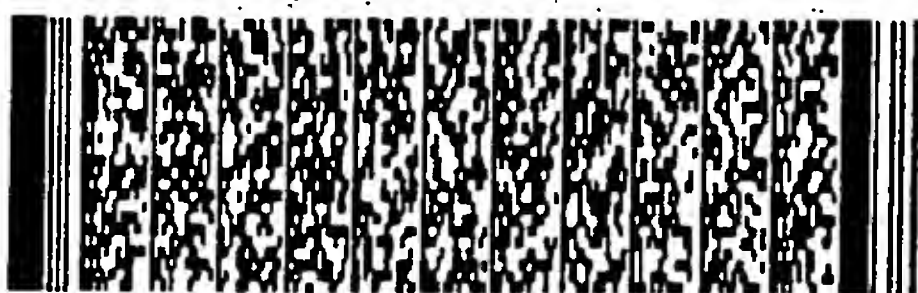


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共3人)	姓名 (中文)	2. 徐鑫洲
	姓名 (英文)	2. Hsu, Jimmy
	國籍 (中英文)	2. 中華民國 TW
	住居所 (中文)	2. 台北縣新店市中正路五三三號八樓
	住居所 (英文)	2. 8F, No. 533, Chung-Cheng Rd, Hsin-Tien City, Taipei Hsien, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或姓名 (中文)	
	名稱或姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中文	
	英文	
二、發明人 (共3人)	姓名 (中文)	3. 李穎妮
	姓名 (英文)	3. Li, Nicole
	國籍 (中英文)	3. 中華民國 TW
	住居所 (中文)	3. 台北縣新店市中正路五三三號八樓
	住居所 (英文)	3. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R. O. C.
三、申請人 (共1人)	名稱或姓名 (中文)	
	名稱或姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	



四、中文發明摘要 (發明名稱：形成於二佈線層間之電感)

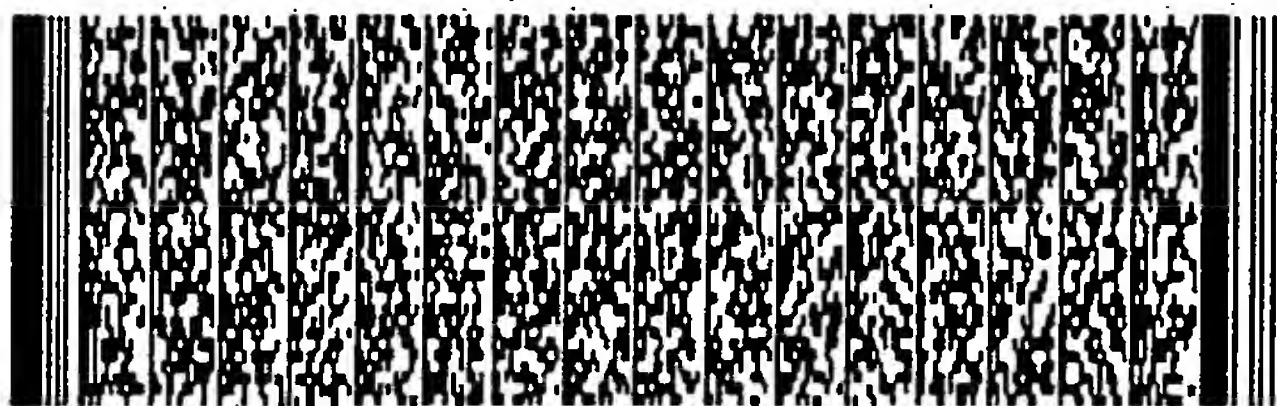
一種使用印刷電路技術所製成之電感，其包含一第一佈線層，一第二佈線層，一第一導線段，一第二導線段，一第三導線段，及一第四導線段。該第一導線段形成於該第一佈線層，該第二導線段形成於該第二佈線層，該第三導線段形成於該第一佈線層，且該第四導線段形成於該第二佈線層。該第一導線段之第一端係經由一第一插塞連接至該第二導線段之第一端，該第二導線段之第一端係經由一第二插塞連接至該第三導線段之第一端，該第三導線段之第一端係經由一第三插塞連接至該第四導線段之第一端。

五、(一)、本案代表圖為：第三圖

(二)、本案代表圖之元件代表符號簡單說明

六、英文發明摘要 (發明名稱：INDUCTOR FORMED BETWEEN TWO LAYOUT LAYERS)

An inductor includes a first layout layer, a second layout layer, a first conductive section, a second conductive section, a third conductive section, and a fourth conductive section. The first conductive section is on the first layout layer and the second conductive section is on the second layout layer. The third conductive section is parallel to the first conductive section and



四、中文發明摘要 (發明名稱：形成於二佈線層間之電感)

14 雙佈線層電感

18 第二佈線層

22 第二導線段

26 第四導線段

30 第二介層插塞

16 第一佈線層

20 第一導線段

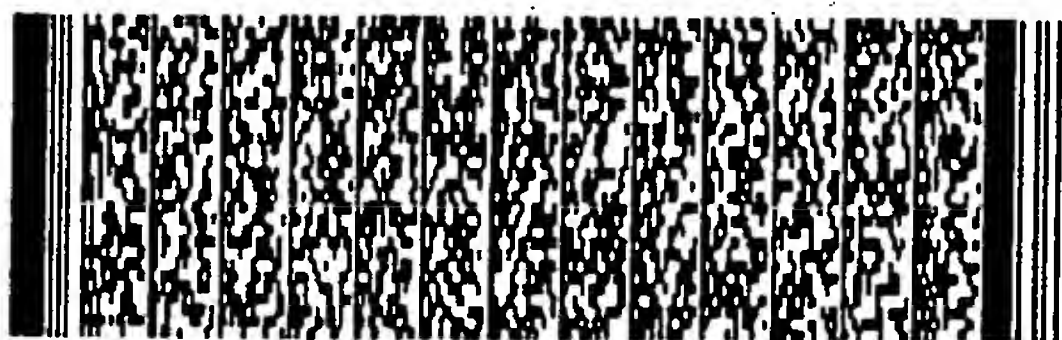
24 第三導線段

28 第一介層插塞

32 第三介層插塞

六、英文發明摘要 (發明名稱：INDUCTOR FORMED BETWEEN TWO LAYOUT LAYERS)

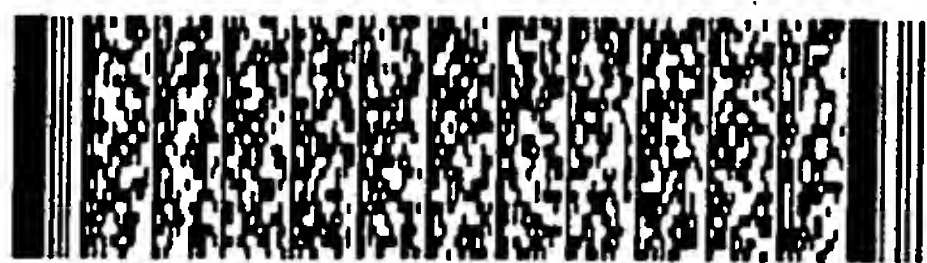
is on the first layout layer. The fourth conductive section is parallel to the second conductive section and is on the second layout layer. The first end of the first conductive section is connected to the first end of the second conductive section through a first via plug. The second end of the second conductive section is connected to the first end of the



四、中文發明摘要 (發明名稱：形成於二佈線層間之電感)

六、英文發明摘要 (發明名稱：INDUCTOR FORMED BETWEEN TWO LAYOUT LAYERS)

third conductive section through a second via plug. The second end of the third conductive section is connected to the first end of the fourth conductive section through a third via plug.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

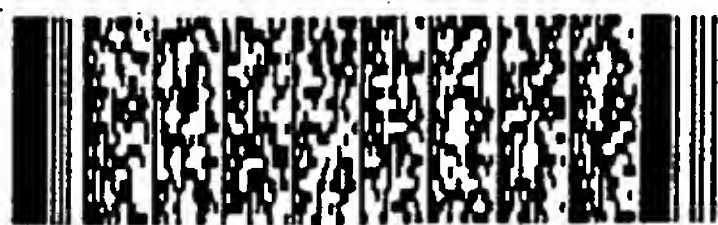
寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

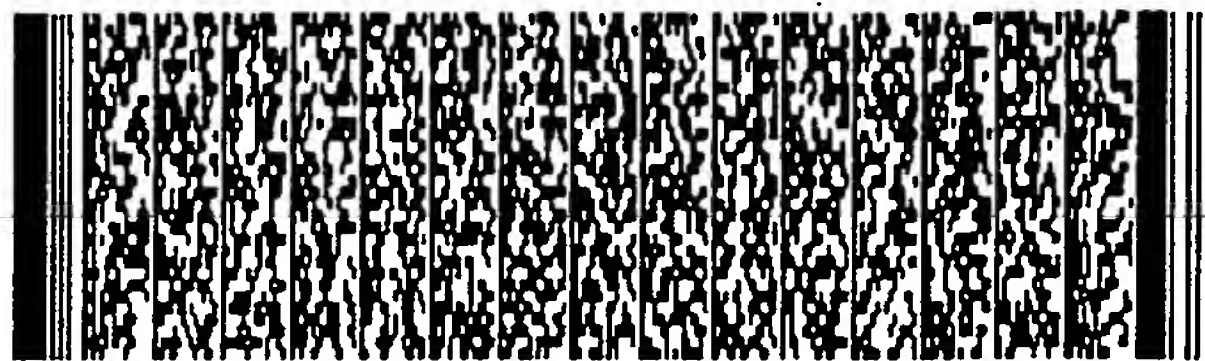
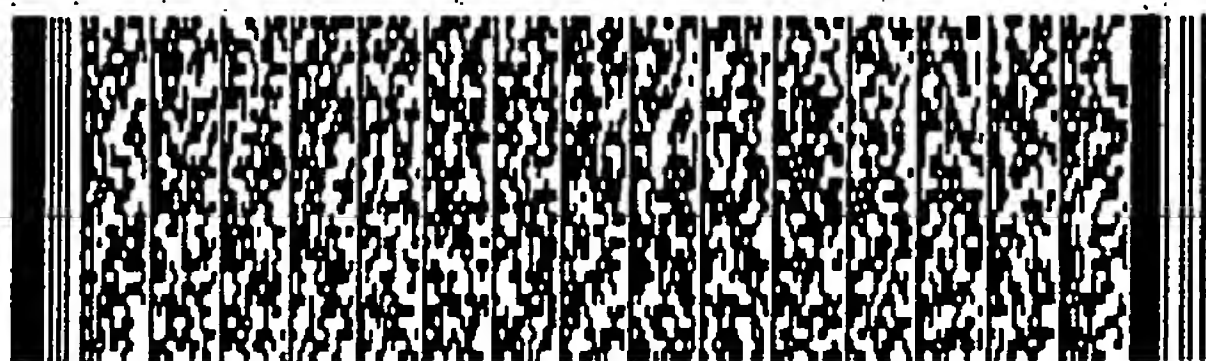
發明所屬之技術領域

本發明係提供一種電感，尤指一種形成於二佈線層間之電感。

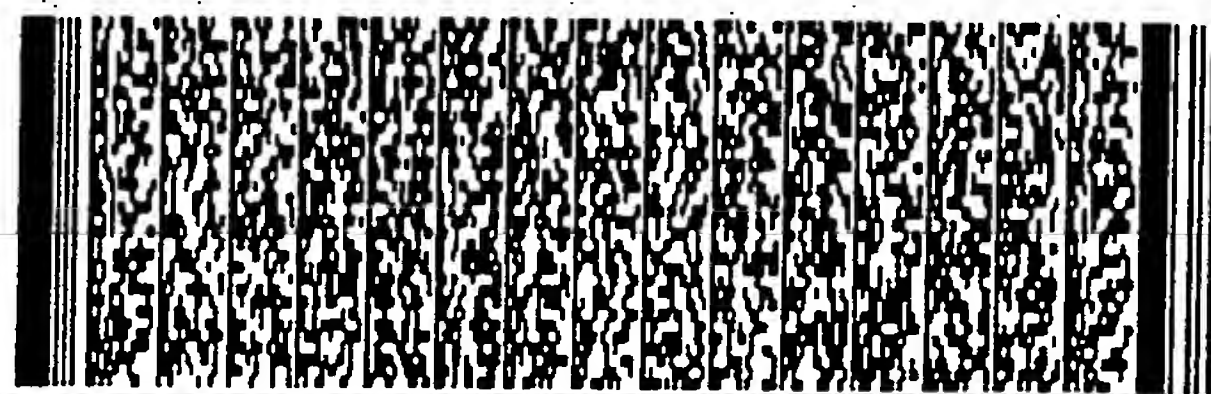
先前技術

隨著半導體技術的進步，在低成本、小體積的要求下，無線通訊晶片必須將傳統的被動 (passive) 元件，如電感 (inductor)、變壓器 (transformer)、電容 (capacitor) 等儘可能整合到單一晶片上。晶片上的電感可被應用在無線積體電路設計上，如低雜訊放大器 (low noise amplifier, LNA)、混波器 (mixer)、壓控振盪器 (voltage controlled oscillator, VCO)、阻抗匹配網路及濾波器等。但由於晶片中電感的能量損耗過大，導致品質因數 (Quality factor) 過低，而增加電路設計的困難度，也不易設計出高感值的電感。

請參考圖一，圖一為習知平面式電感 10 之示意圖。如圖一所示，一導體線圈在一平面上形成電感 10，電感 10 包含兩個端點 P1 及 P2，以一點 0 為中心點，由端點 P1 開始以螺旋狀的方式沿著點 0 向內環繞所需的圈數，由於電感 10 的導體線圈不可以重疊，所以圖一中導體線圈重疊的部分必須藉由一介層插塞 (via plug) 連接至另一導體



請參考圖二，圖二為習知雙層式電感 12 之示意圖。為了節省佈局面積，如圖二所示，使用雙層導體線圈來設計電感 12。電感 12 包含兩個端點 P1 及 P2，以一直線 C 為中心軸，由 P1 端開始以螺旋狀的方式沿著直線 C 由外向內環繞所需的圈數，接著藉由一介層插塞連接至另一導體層，仍然以直線 C 為中心軸由內向外環繞所需的圈數，最後由端點 P2 接出。值得注意的是，電流在這兩層導體線圈的流動方向應一致，以增加電感 12 之間的互感效應，也就是說，電流從端點 P1 流入，以順時針的方向由外向內流動，經由該介層插塞進入第二層之後，同樣的以順時針的方向由內向外從端點 P2 流出。而習知雙層式電感 12 雖可較習知平面式電感 10 降低晶片面積，並提高上、下兩層導體線圈之間的互感效應，亦僅需使用較短的線

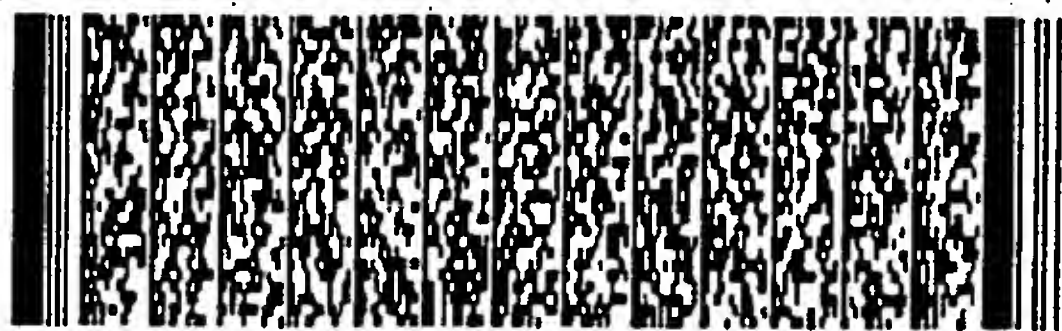


五、發明說明 (4)

導線段，以平行於該第二導線段之方式形成於該第二佈線層上，以第一介層插塞 (via plug)，連接於該第一佈線層之第一端及該第二佈線層之第一端，以及該第一佈線層之第二端及該第二佈線層之第二端。

實施方式

請參考圖三，圖三為本發明電感 14 之示意圖。如圖三所示，電感 14 包含一第一佈線層 16 及一第二佈線層 18，以平行於第一佈線層 16 之方式形成於第一佈線層 16 之下，一第一導線段 20，形成於第一佈線層 16 上，一第二導線段 22，形成於第二佈線層 18 上，一第三導線段 24，以平行於第一導線段 20 之方式形成於第一佈線層 16 上，一第四導線段 26，以平行於第二導線段 22 之方式形成於第二佈線層 18 上，一第一介層插塞 (via plug) 28，連接於第一導線段 20 之第一端 P1 及第二導線段 22 之第一端 P2，一第二介層插塞 30，連接於第二導線段 22 之第二端 P3 及第三導線段 24 之第一端 P4，以及一第三介層插塞 32，連接於第三導線段 24 之第二端 P5 及第四導線段 26 之第一端 P6。故電感 14 結構為可藉由穿孔連接上下兩層導線，且在 +Y 及 -Y 方向進行繞線圈方式向兩端延伸。而電流流動方向可為由電感 14 之端點 P7 流入，在 +Y 方向以逆

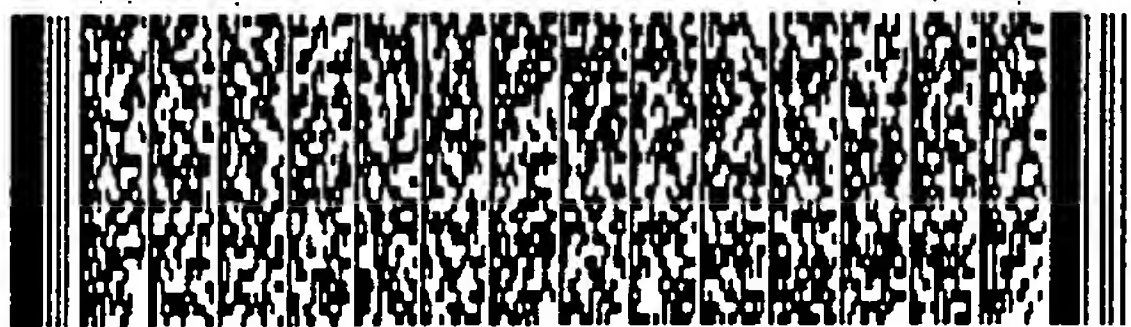


五、發明說明 (5)

時鐘方向螺旋狀流經各段導線，而最後由該電感 14 之端點 P8 流出，或可為由電感 14 之端點 P8 流入，在 -Y 方向以順時鐘方向螺旋狀流經各段導線，而最後由電感 14 之端點 P7 流出。

請參考圖四，圖四為圖三電感 14 沿 4-4' 切面之剖面圖。如圖四所示，在一印刷電路板 34 內以一導體線圈形成本發明電感 14。電感 14 之第三導線段 24 形成於第一佈線層 16，而第二導線段 22 係形成於第二佈線層 18 內，第二介層插塞 30 係連接第二導線段 22 與第三導線段 24 且垂直於第二導線段 22 與第三導線段 24，第三介層插塞 32 係與第三導線段 24 相接且垂直於第三導線段 24，而第二導線段 22、第三導線段 24、第二介層插塞 30 以及第三介層插塞 32 之周圍則係為絕緣材料。

為配合不同的佈線空間需求，本發明的電感 14 形狀可進行不同的變化，圖五 A 至圖五 D 為本發明另外四種不同形狀的電感 50、52、54、56。於圖五 A 至圖五 D 中，實線部份的導線段 38 係形成於第一佈線層 16，虛線部份的導線段 39 係形成於第二佈線層 18。如圖五 A 至圖五 D 所示，電感 50、52、54、56 之位於第一佈線層 16 的導線段 38 係相互平行，且位於第二佈線層 18 的導線段 39 亦相互平行。圖五 A 與圖五 B 之介層插塞 42 係呈兩相互平行之直線排列，圖五 C 之介層插塞 42 雖呈兩直線排列，但兩直線



圖式簡單說明

圖式簡單說明

- 圖一為習知平面式電感之示意圖。
圖二為習知雙層式電感之示意圖。
圖三為本發明之形成於二佈線層間電感之示意圖。
圖四為圖三電感沿4-4'切面之剖面圖。
圖五A為本發明電感依第一排列方式之示意圖。
圖五B為本發明電感依第二排列方式之示意圖。
圖五C為本發明電感依第三排列方式之示意圖。
圖五D為本發明電感依第四排列方式之示意圖。

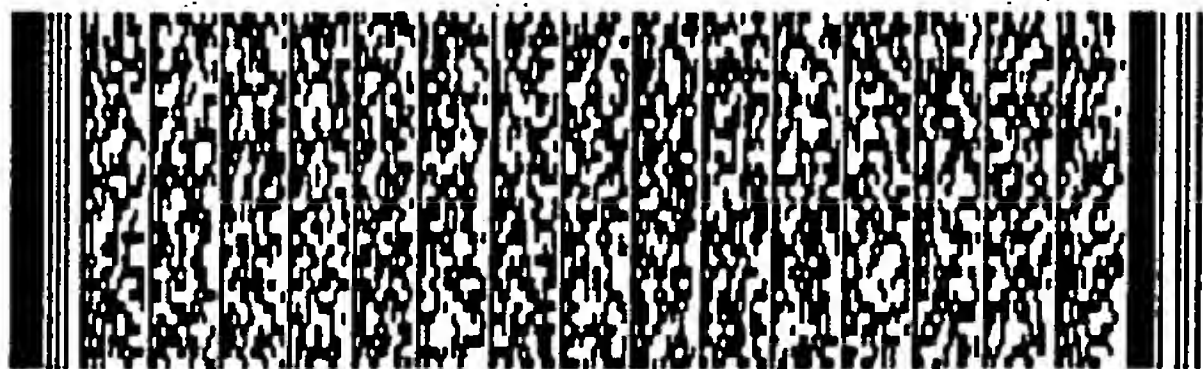
圖式之符號說明：

10	平面式電感	12	雙層式電感
14	雙佈線層電感	16	第一佈線層
18	第二佈線層	20	第一導線段
22	第二導線段	24	第三導線段
26	第四導線段	28	第一介層插塞
30	第二介層插塞	32	第三介層插塞
34	印刷電路板	42	介層插塞
50	第一排列方式電感		
52	第二排列方式電感		
54	第三排列方式電感		
56	第四排列方式電感		



六、申請專利範圍

1. 一種使用印刷電路技術所製成之電感，其包含：
一第一佈線層，設於該基板之上側；
一第二佈線層，以平行於該第一佈線層之方式形成於該第一佈線層之下，以形成於該第一佈線層上；
一第一導線段，以平行於該第一導線段之方式形成於該第一佈線層上；
一第二導線段，以平行於該第二導線段之方式形成於該第二佈線層上；
一第一介層插塞 (via plug)，連接於該第一導線段之第一端及該第二導線段之第一端；
一第二介層插塞，連接於該第二導線段之第二端及該第三導線段之第一端；
一第三介層插塞，連接於該第三導線段之第二端及該第四導線段之第一端。
2. 如申請專利範圍第1項所述之電感，其中該第一介層插塞係垂直於該第一導線段，該第二介層插塞係垂直於該第二導線段，該第三介層插塞係垂直於該第三導線段。
3. 一種使用印刷電路技術所製成的電感，其包含：
複數層導線狀電感，而各層所述電感包含複數條導線段，且各導線段互不相交；以及

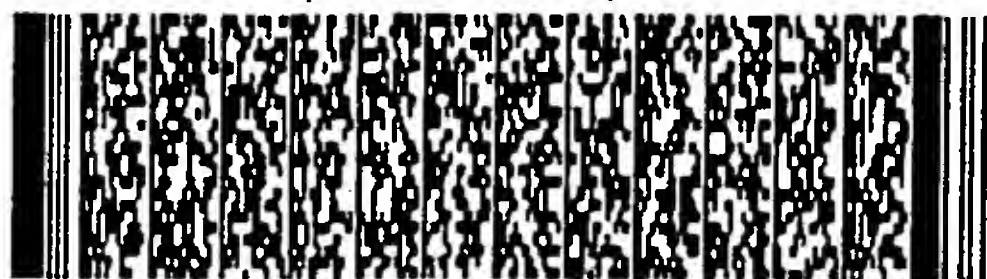


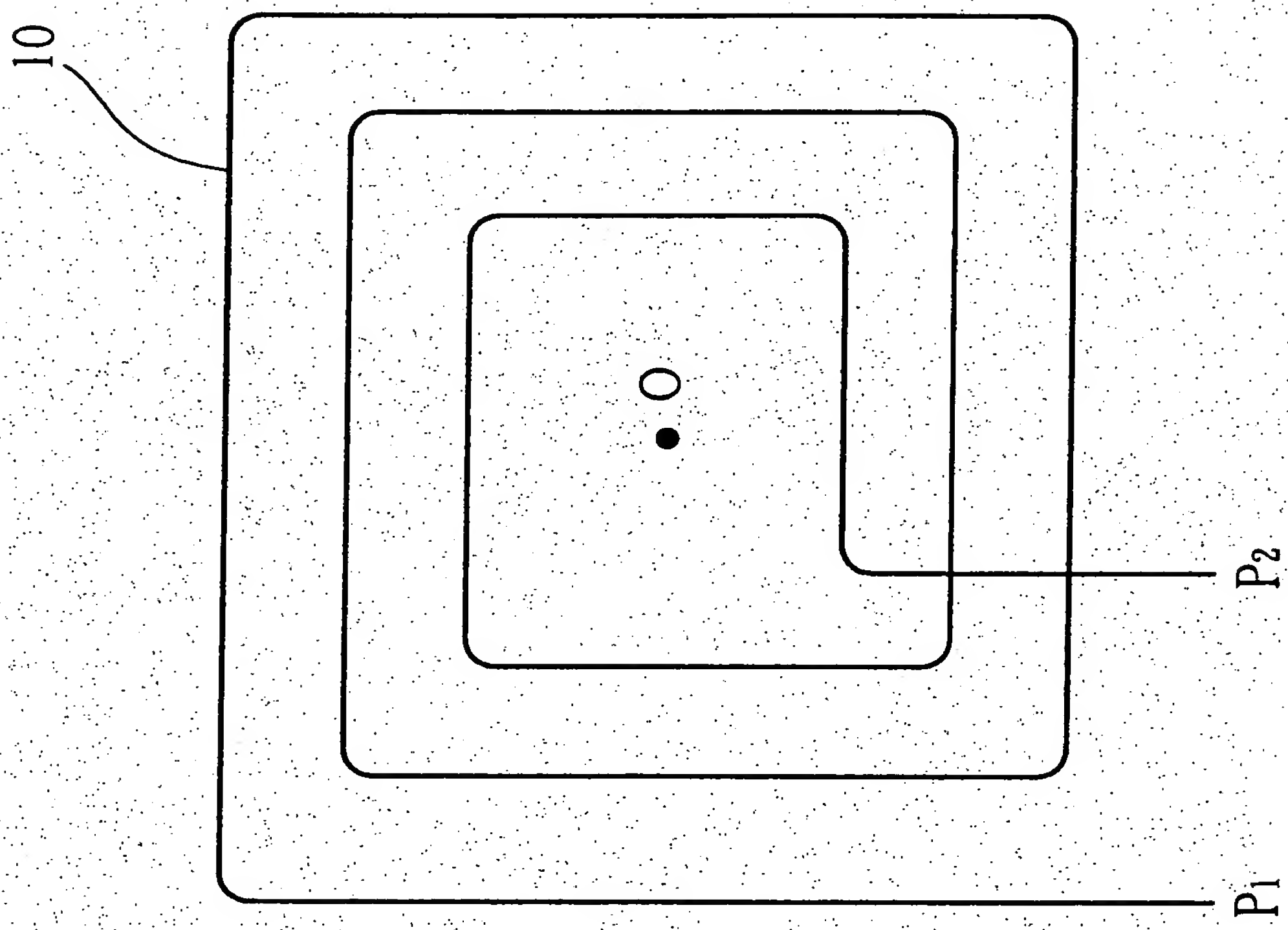
六、申請專利範圍

絕緣層，用來隔離不同層的所述導線狀電感；
複數個介層插塞，用來連接不同層的所述導線段電感。

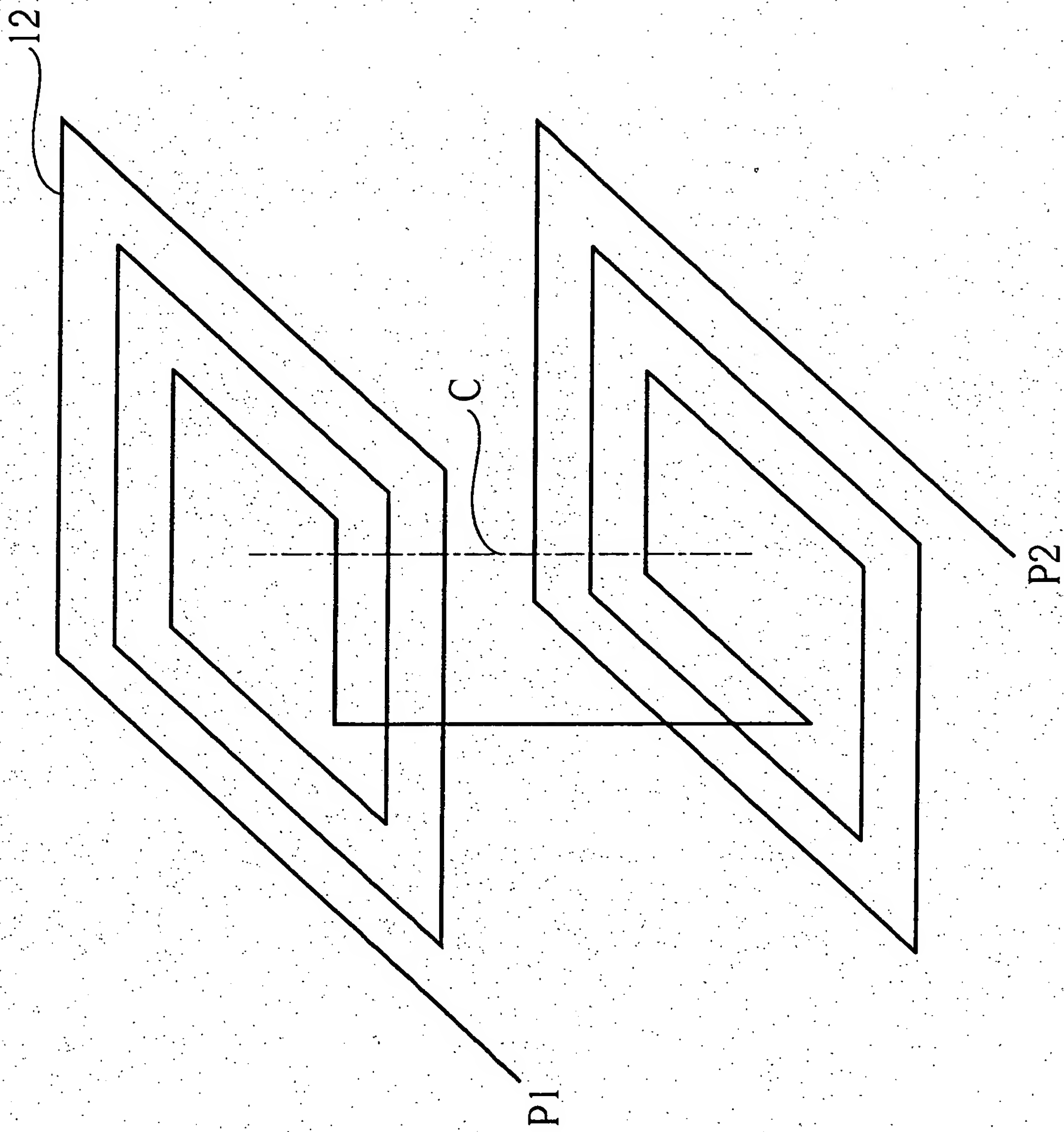
4. 如申請專利範圍第4項所述之電感，其中所述複數層導線狀電感為兩層。

5. 如申請專利範圍第5項所述之電感，其中所述該複數個介層插塞垂直於該複數條導線段電感。

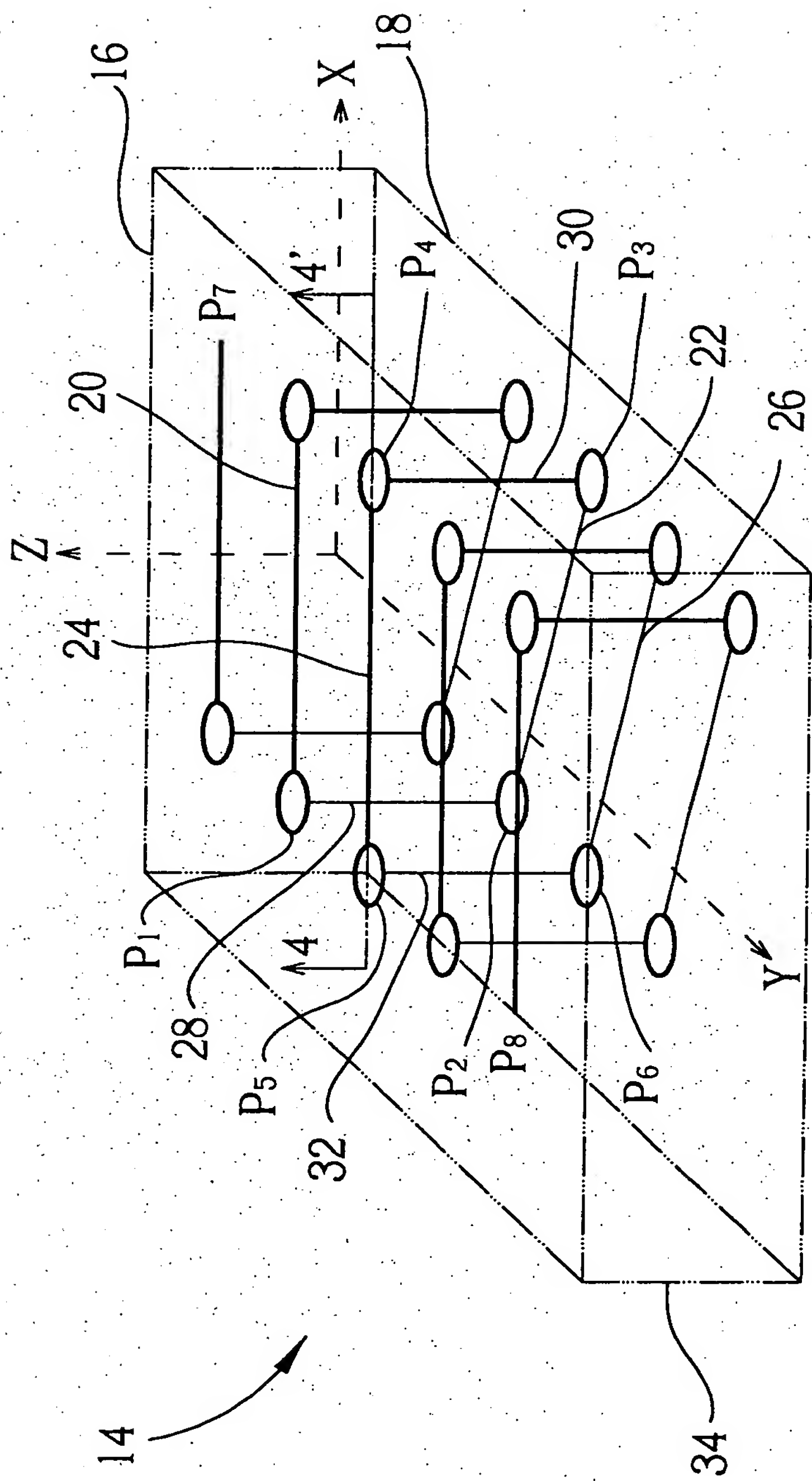




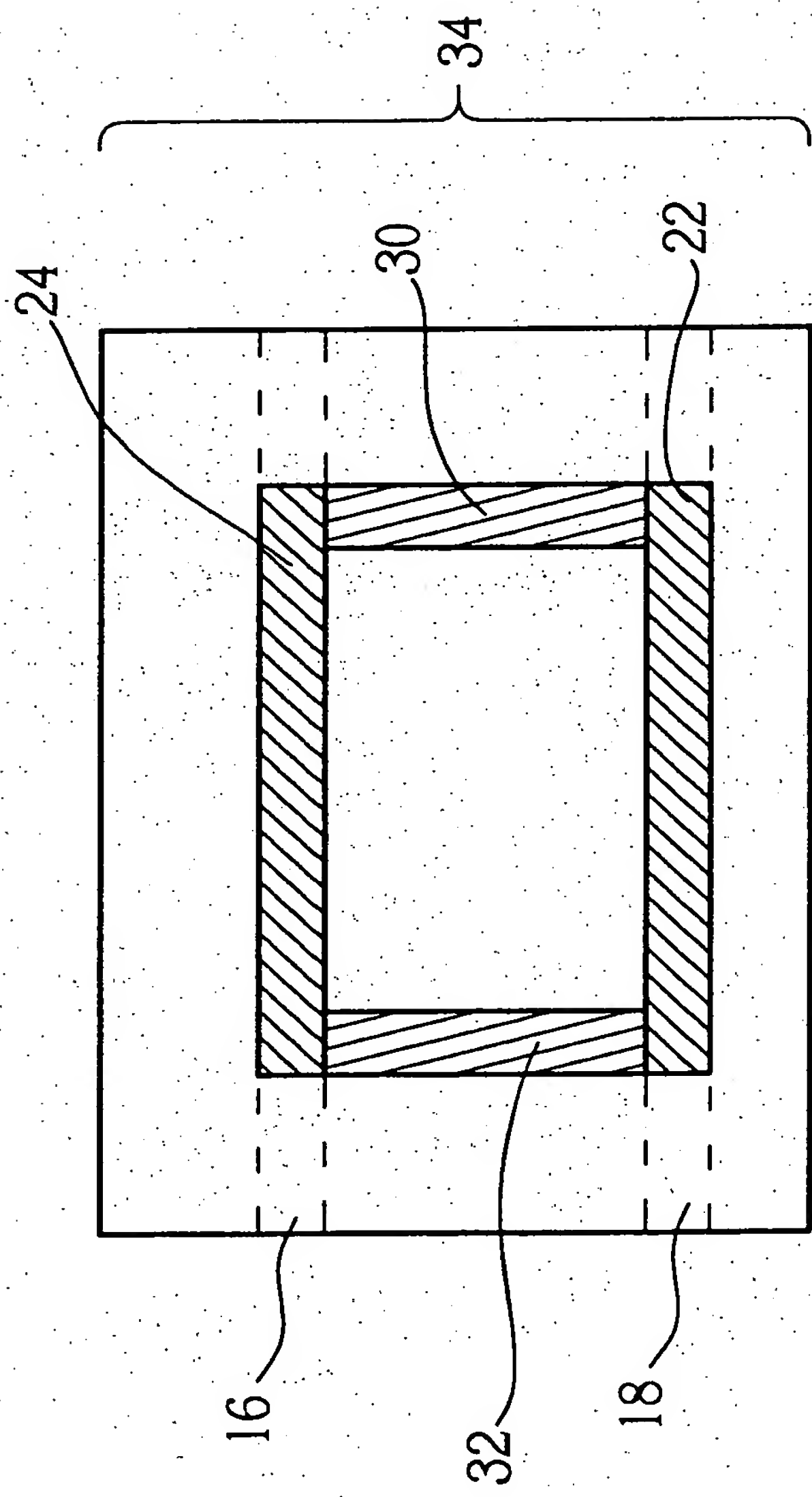
圖一



圖二

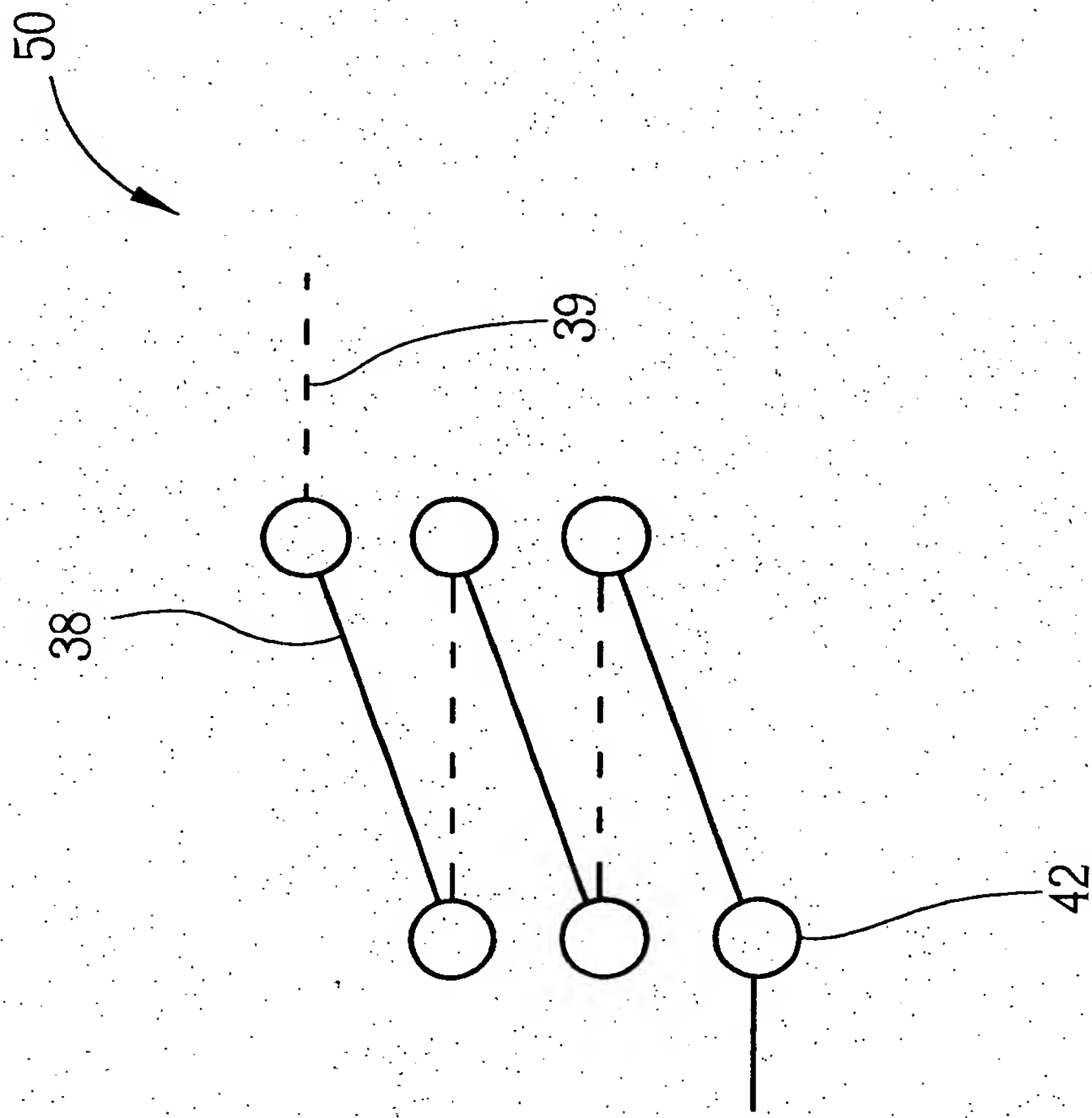


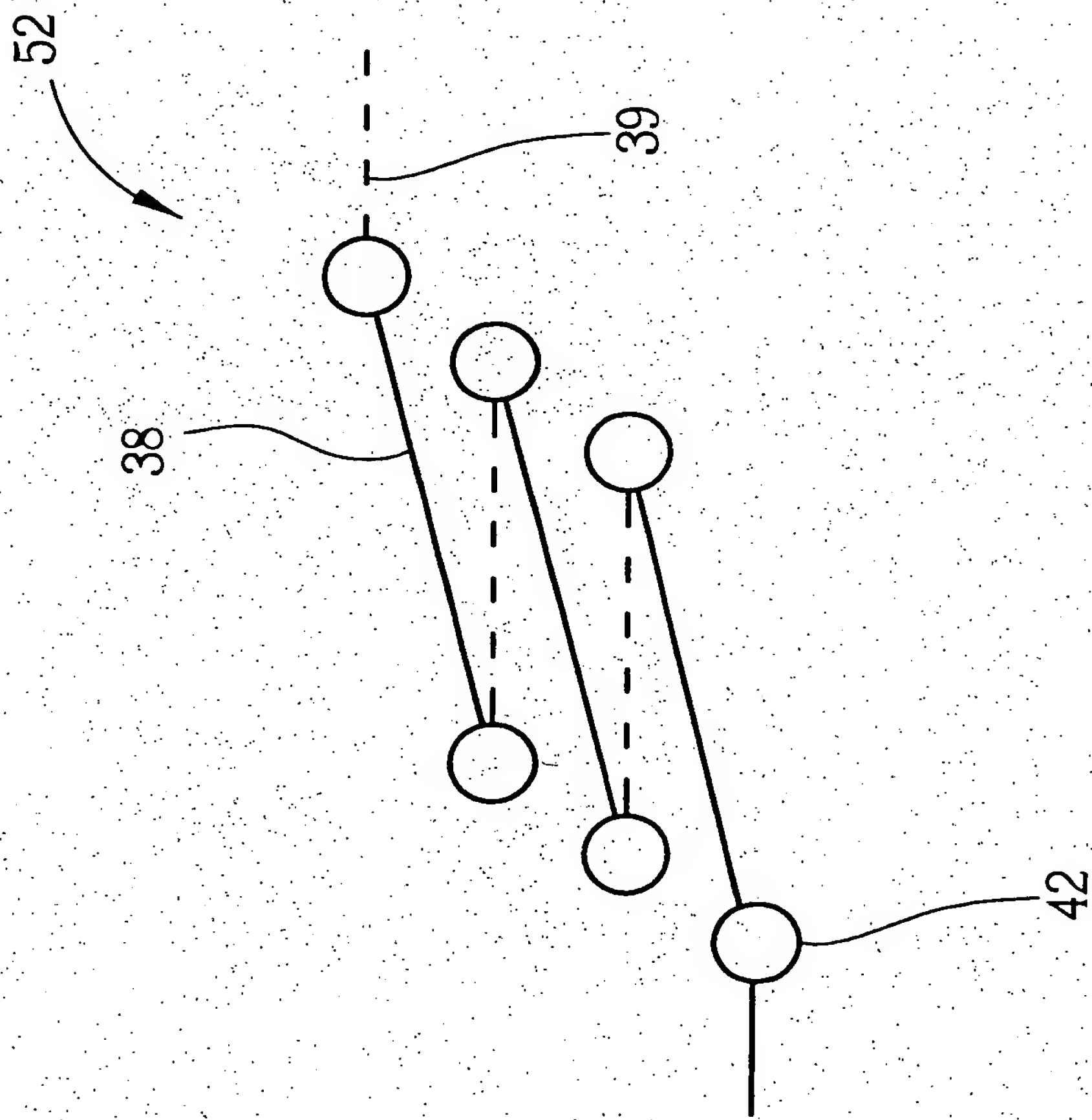
圖三



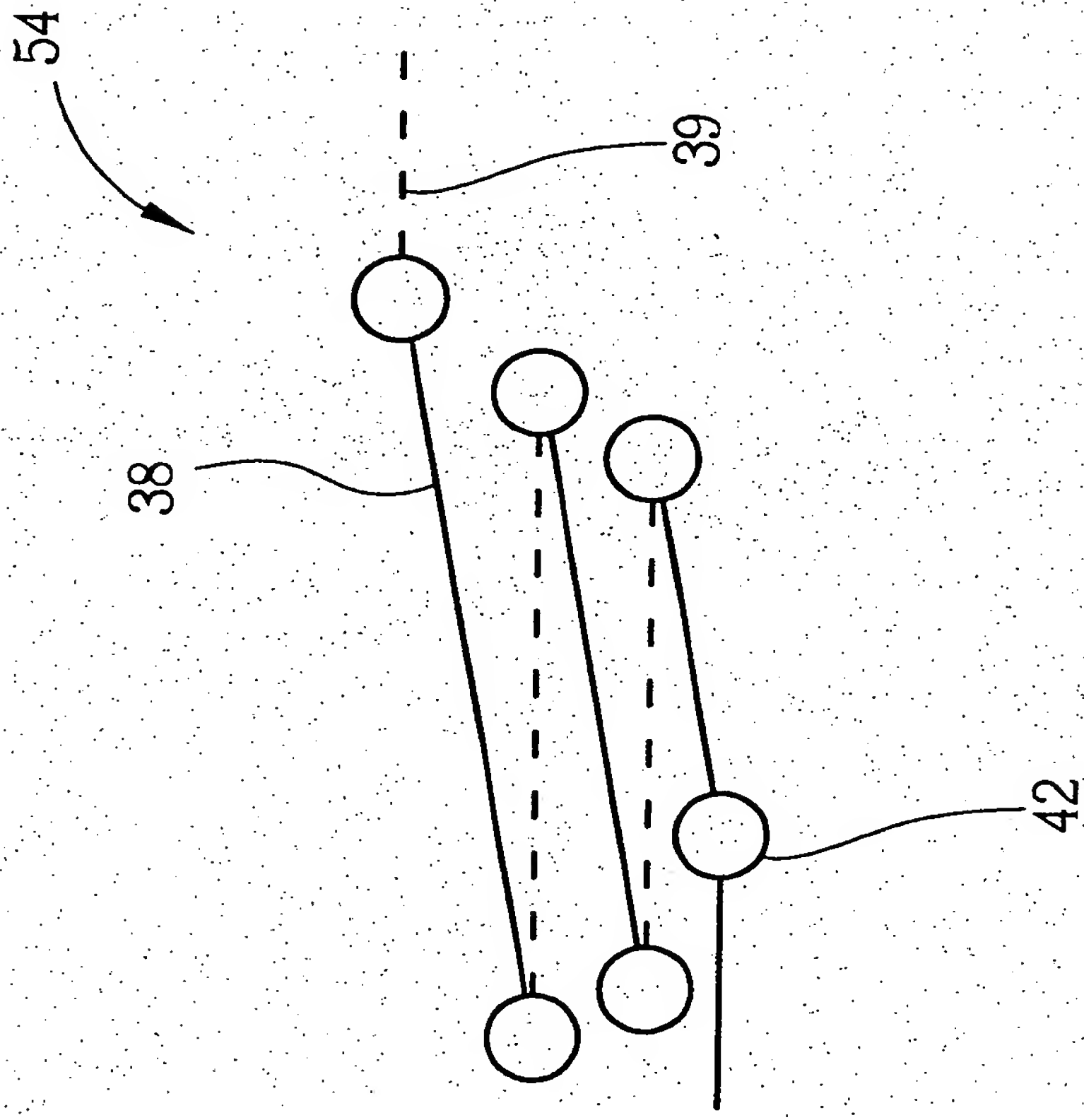
圖四

圖五A

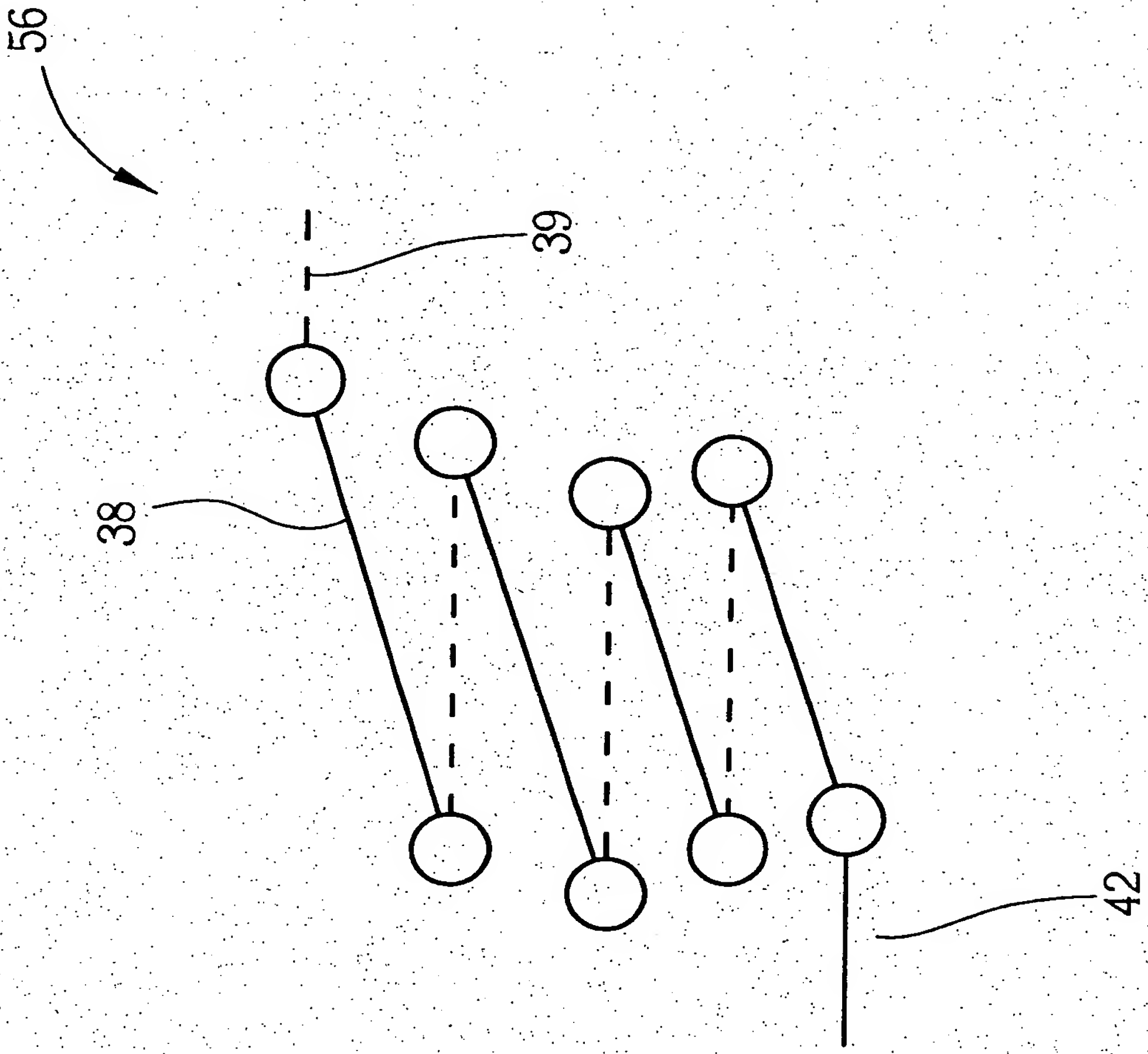




五B

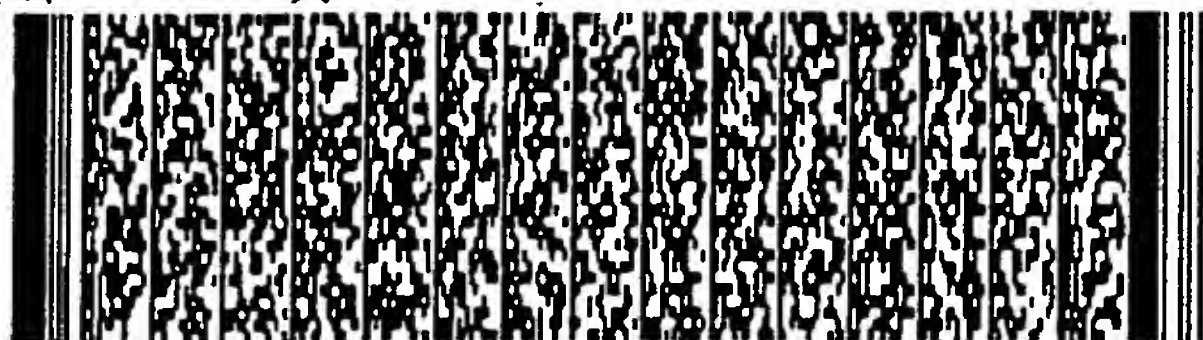


圖五C

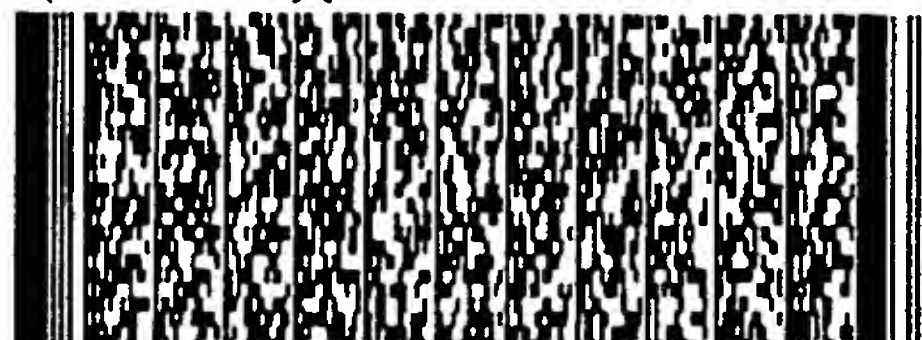


圖五D

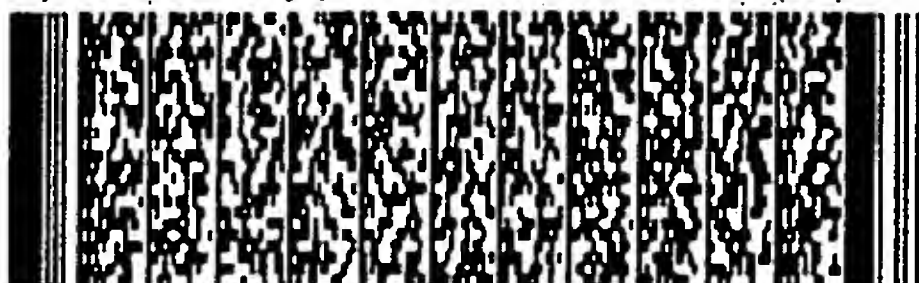
第 1/17 頁



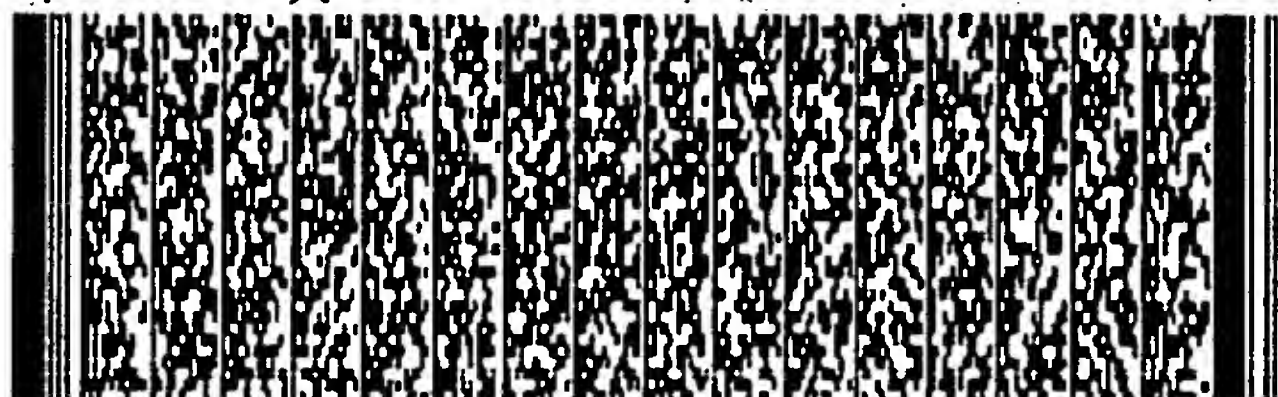
第 2/17 頁



第 3/17 頁



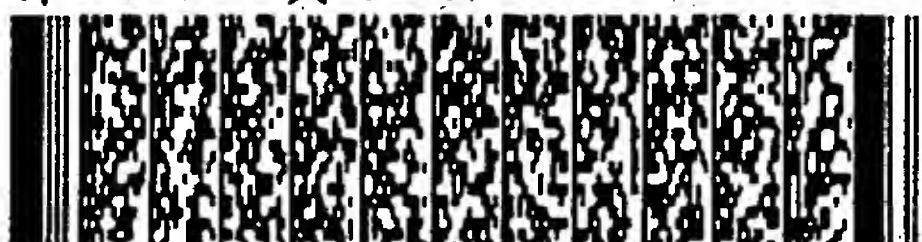
第 4/17 頁



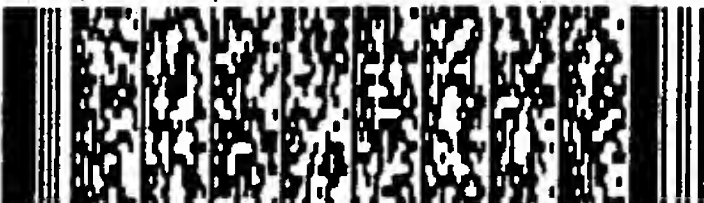
第 5/17 頁



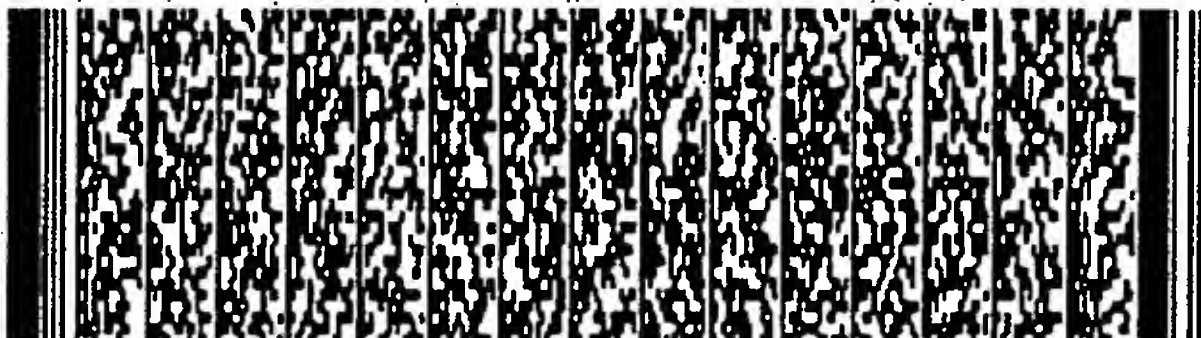
第 6/17 頁



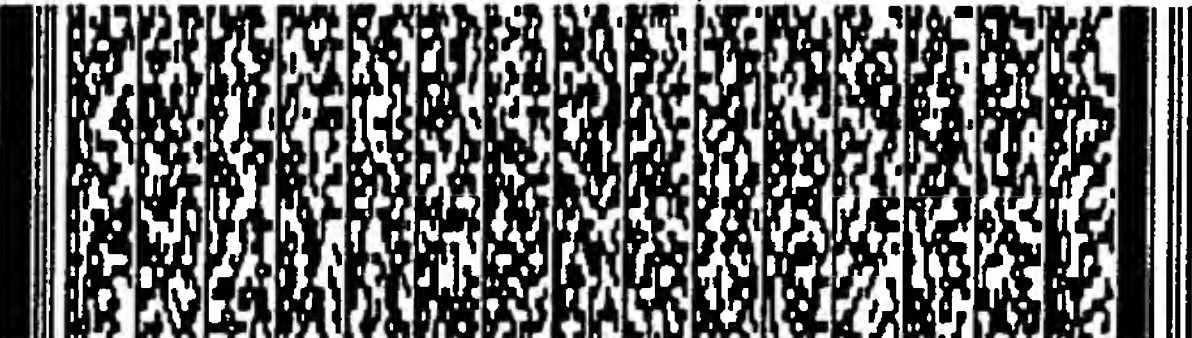
第 7/17 頁



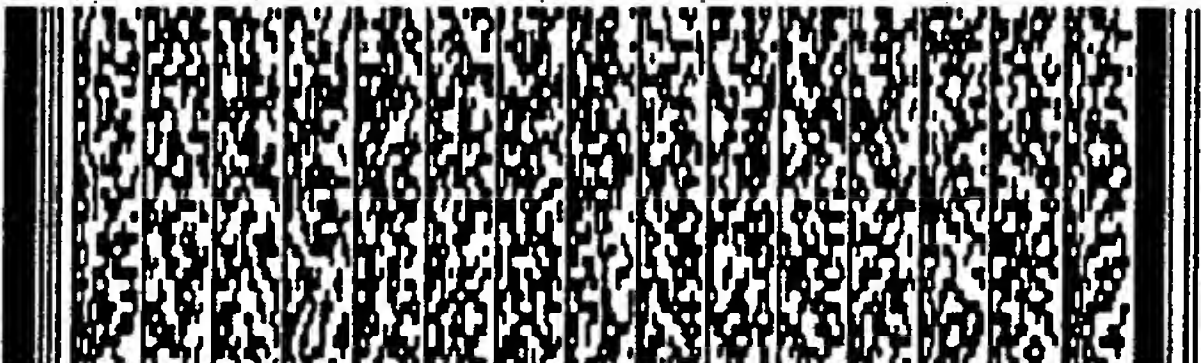
第 8/17 頁



第 8/17 頁



第 9/17 頁



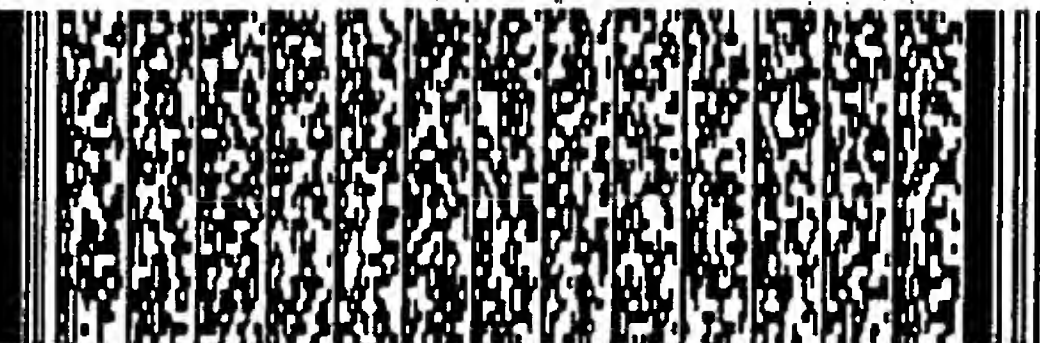
第 9/17 頁



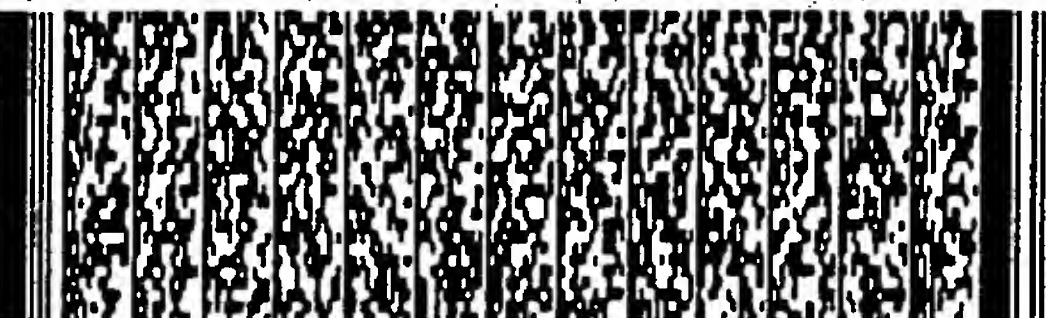
第 10/17 頁



第 10/17 頁



第 11/17 頁



第 11/17 頁



第 12/17 頁



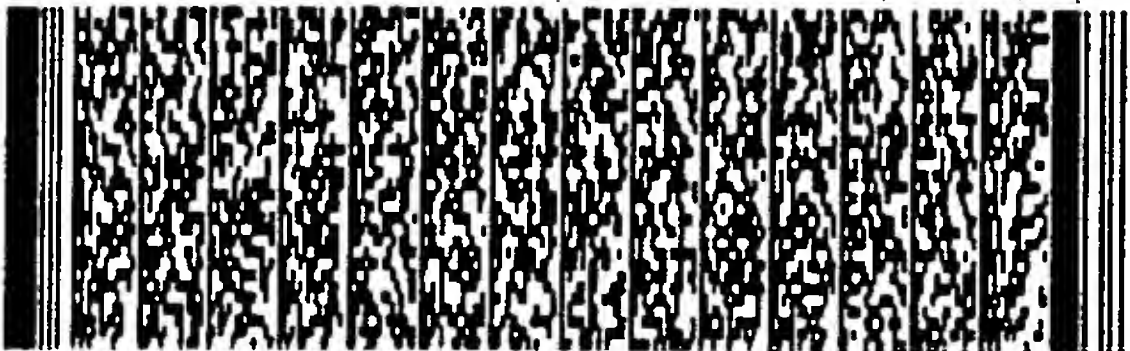
第 12/17 頁



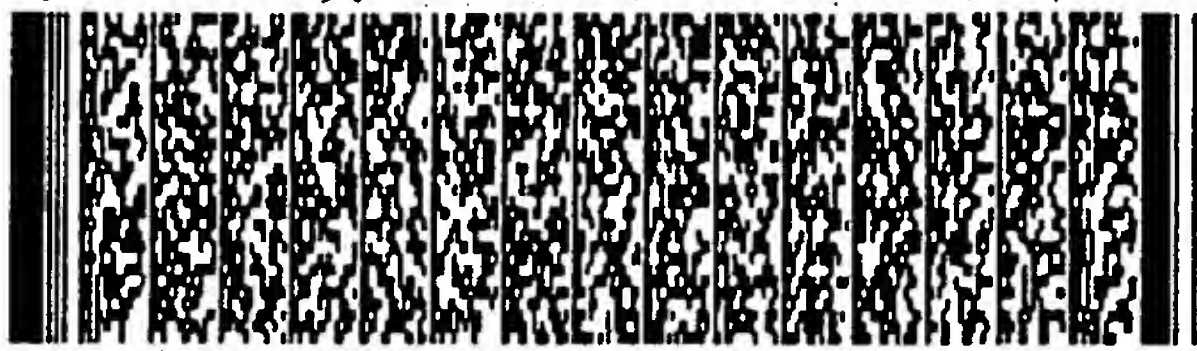
第 13/17 頁



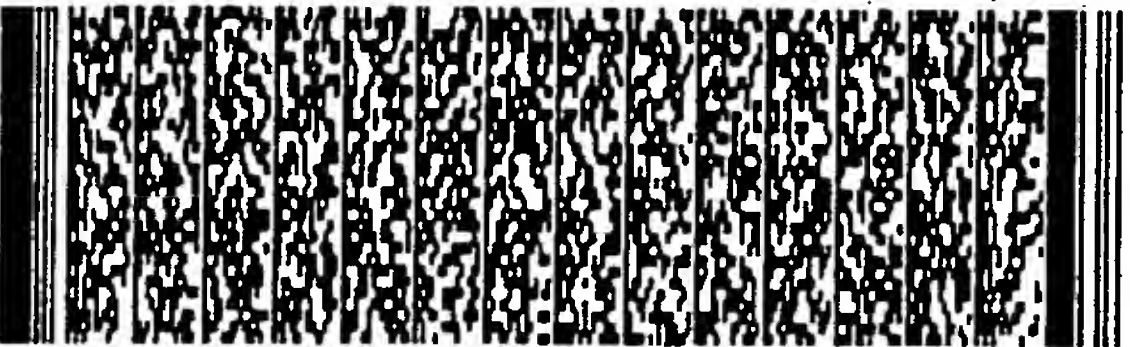
第 13/17 頁



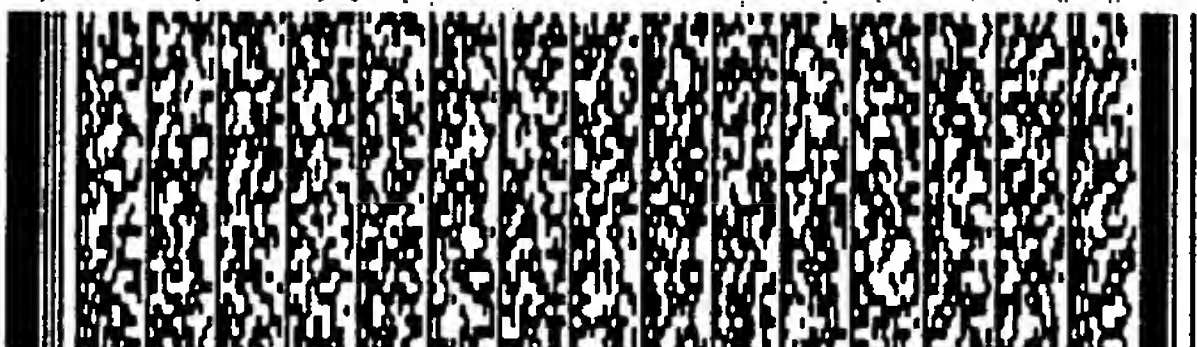
第 14/17 頁



第 15/17 頁



第 16/17 頁



第 17/17 頁

